

02.08.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 16 SEP 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年11月27日

出 願 番 号
Application Number: 特願2003-397103
[ST. 10/C]: [JP2003-397103]

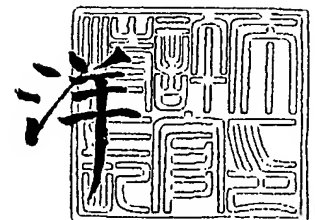
出 願 人
Applicant(s): 松下電器産業株式会社

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年 9月 3日

特許庁長官
Commissioner,
Japan Patent Office

小 川



出証番号 出証特2004-3079203

【書類名】 特許願
【整理番号】 2924050007
【提出日】 平成15年11月27日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H01L 25/065
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 谷内 秀生
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100112128
 【弁理士】
 【氏名又は名称】 村山 光威
 【電話番号】 03-5993-7171
【手数料の表示】
 【予納台帳番号】 063511
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9815712

【書類名】 特許請求の範囲**【請求項 1】**

第 1 の半導体チップと第 2 の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、

前記第 1 の半導体チップは、電圧変換回路と、前記第 2 の半導体チップと接続するための複数の第 1 チップ間接続部と、第 1 シリアルデコーダと、前記パッケージ外に引き出される外部接続端子と、該外部接続端子に接続するための外部接続部とを備え、

前記第 2 の半導体チップは、第 2 シリアルデコーダと、前記第 1 の半導体チップと接続するための複数の第 2 チップ間接続部とを有し、

前記複数の第 1 チップ間接続部と前記複数の第 2 チップ間接続部間とを直接接続するボンディングワイヤを備え、

前記外部接続端子より入力されるシリアルデータが前記電圧変換回路と前記第 1 チップ間接続部と前記第 2 チップ間接続部とを介して前記第 2 シリアルデコーダに伝達されるように構成したことを特徴とするマルチチップ型半導体装置。

【請求項 2】

前記第 1 の半導体チップは高電圧を印加可能なものであり、前記第 2 の半導体チップは、前記第 1 の半導体チップよりも耐圧が低く、かつ外部から印加されるシリアルデータの電圧より耐圧が低いものであることを特徴とする請求項 1 記載のマルチチップ型半導体装置。

【請求項 3】

前記第 1 の半導体チップおよび前記第 2 の半導体チップは、マイクロコンピュータからのシリアルデータによって制御されることを特徴とする請求項 1 または 2 記載のマルチチップ型半導体装置。

【請求項 4】

第 1 の半導体チップと第 2 の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、

前記第 1 の半導体チップは、電圧変換回路と、前記第 2 の半導体チップと接続するための複数の第 1 チップ間接続部と、第 1 内部回路と、前記パッケージ外に引き出される外部接続端子と、該外部接続端子と接続するための外部接続部とを備え、

前記第 2 の半導体チップは、第 2 内部回路と、前記第 1 の半導体チップと接続するための複数の第 2 チップ間接続部とを備え、

前記複数の第 1 チップ間接続部と複数の第 2 チップ間接続部間とを直接接続するボンディングワイヤを備え、

前記外部接続端子より入力される制御信号が前記電圧変換回路と前記第 1 チップ間接続部と前記第 2 チップ間接続部とを介して前記第 2 内部回路に伝達されるように構成したことを特徴とするマルチチップ型半導体装置。

【請求項 5】

前記第 1 の半導体チップは高電圧を印加可能なものであり、前記第 2 の半導体チップは、前記第 1 の半導体チップよりも耐圧が低く、かつ外部から印加される制御信号の電圧より耐圧が低いものであることを特徴とする請求項 4 記載のマルチチップ型半導体装置。

【請求項 6】

前記第 1 の半導体チップおよび前記第 2 の半導体チップは、マイクロコンピュータからの制御信号によって制御されることを特徴とする請求項 4 または 5 記載のマルチチップ型半導体装置。

【書類名】 明細書

【発明の名称】 マルチチップ型半導体装置

【技術分野】

【0001】

本発明は、複数の半導体チップを同一パッケージに收容したマルチチップ型半導体装置に関する。

【背景技術】

【0002】

複数の半導体チップを互いに接続して樹脂モールドしてなるマルチチップ型半導体装置では、半導体チップ相互間の接続が種々の形態で行われる。例えばボンディングワイヤで半導体チップ間の接続が行われる場合もあり、また、半導体チップ同士を重ね合わせてチップ・オン・チップ構造とし、 bumps を介して半導体チップ同士の電気接続が行われる場合もある。さらには、配線基板上に複数の半導体チップを接合することによって、複数の半導体チップ同士の電気接続が達成されている場合もある。

【0003】

同一パッケージに複数のチップを收容する理由としては、例えば高周波信号処理と低周波ベース処理とが必要な LSI を集積化した場合、低周波用プロセスを用いて 1 チップで集積化すると周波数特性が不足するため、高周波信号処理が不可能になり、また高周波用プロセスを用いて 1 チップで集積化するとコストアップになることなどがあげられる。このような場合、それぞれの半導体チップの耐圧がそれぞれ異なる場合があり、種々の解決課題がある。

【0004】

異なる耐圧のチップを同一パッケージに收容したマルチチップ型半導体の動作テストにおける課題解決法に関しては、例えば特許文献 1 に記載された技術を例示することができる。

【0005】

シリアルデータ伝送に関する課題の解決法について図 4 を参照して説明する。

【0006】

図 4 は異なる耐圧のチップを同一パッケージに收容した従来のマルチチップ型半導体の構成を示すブロック図であり、第 1 の半導体チップ 1 と第 2 の半導体チップ 2 とをパッケージ 3 に収納したマルチチップ型半導体装置であり、第 1 の半導体チップ 1 は第 1 シリアルデコーダ 6 と外部接続部 1 3 とを備えており、第 2 の半導体チップ 2 は第 2 シリアルデコーダ 5 と外部接続部 2 3 とを備えている。

【0007】

電圧源 7 はマイコン（マイクロコンピュータ） 8 と第 1 の半導体チップ 1 に接続されている。マイコン 8 から供給されるシリアルデータの一方は、シリアルデータ用外部接続端子 1 2 を介して第 1 の半導体チップ 1 に供給され、他方は電圧変換回路 2 1 を介してシリアルデータの電圧を減圧し、シリアルデータ用外部接続端子 2 2 を介して第 2 の半導体チップ 2 に供給される。

【0008】

マイコン 8 から供給されたシリアルデータは、並列的に第 1 の半導体チップ 1 と第 2 の半導体チップ 2 に出力され、第 1 の半導体チップ 1 と第 2 の半導体チップ 2 の内部回路を制御する。

【0009】

なお第 1 の半導体チップ 1 は高耐圧チップであり、第 2 の半導体チップ 2 は低耐圧チップであって、低耐圧チップの耐圧値はマイコン 8 から供給されるシリアルデータの電圧値以下である。

【特許文献 1】 特開 2000-332193 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、図4に示す従来のマルチチップ型半導体装置のシリアル伝送方式では、低耐圧チップに外部からシリアルデータを供給するため、シリアルデータ用外部接続端子22が必要であって、ピン数の増大、すなわち実装面積の増大を招き、パッケージ全体の小型化が困難となる。また外部に電圧変換回路21が必要となり、コストの増大を招くという問題がある。

【0011】

本発明は、前記従来の問題点に鑑みてなされたものであり、外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成にて、シリアルデータを伝送することができるマルチチップ型半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

前記目的を達成するため、本発明は、第1の半導体チップと第2の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、前記第1の半導体チップは、電圧変換回路と、前記第2の半導体チップと接続するための複数の第1チップ間接続部と、第1シリアルデコーダと、前記パッケージ外に引き出される外部接続端子と、該外部接続端子に接続するための外部接続部とを備え、前記第2の半導体チップは、第2シリアルデコーダと、前記第1の半導体チップと接続するための複数の第2チップ間接続部とを有し、前記複数の第1チップ間接続部と前記複数の第2チップ間接続部間とを直接接続するボンディングワイヤを備え、前記外部接続端子より入力されるシリアルデータが前記電圧変換回路と前記第1チップ間接続部と前記第2チップ間接続部とを介して前記第2シリアルデコーダに伝達されるように構成したことを特徴とする。

【0013】

また、本発明は、第1の半導体チップと第2の半導体チップとをパッケージ内で相互接続して構成されるマルチチップ型半導体装置であって、前記第1の半導体チップは、電圧変換回路と、前記第2の半導体チップと接続するための複数の第1チップ間接続部と、第1内部回路と、前記パッケージ外に引き出される外部接続端子と、該外部接続端子と接続するための外部接続部とを備え、前記第2の半導体チップは、第2内部回路と、前記第1の半導体チップと接続するための複数の第2チップ間接続部とを備え、前記複数の第1チップ間接続部と複数の第2チップ間接続部間とを直接接続するボンディングワイヤを備え、前記外部接続端子より入力される制御信号が前記電圧変換回路と前記第1チップ間接続部と前記第2チップ間接続部とを介して前記第2内部回路に伝達されるように構成したことを特徴とする。

【0014】

また、本発明は、前記第1の半導体チップは高電圧を印加可能なものであり、前記第2の半導体チップは、前記第1の半導体チップよりも耐圧が低く、かつ外部から印加されるシリアルデータの電圧、制御信号の電圧より耐圧が低いものであることを特徴とするものである。

【0015】

また、本発明は、前記第1の半導体チップおよび前記第2の半導体チップは、マイクロコンピュータからのシリアルデータ、制御信号によって制御されることを特徴とするものである。

【0016】

これらの構成により、低耐圧チップに高電圧を直接印加することなく、シリアルデータの伝送、制御信号の伝達を行うことができる。

【発明の効果】

【0017】

本発明によれば、前記のように低耐圧チップに高電圧を直接印加することなく、シリアルデータの伝送、制御信号の伝達を行うことができるため、外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成で、シリアルデータを伝送すること

ができるマルチチップ型半導体装置の提供が実現する。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施形態について図面を参照しながら説明する。なお、以下の説明において、図4にて説明した部材に対応する部材には同一符号を付した。

【0019】

図1は本発明の実施形態1のマルチチップ型半導体装置の構成を示すブロック図であり、高耐圧の第1の半導体チップ1と低耐圧の第2の半導体チップ2とをパッケージ3内で相互接続している。

【0020】

第1の半導体チップ1は、電圧変換回路4と、前記第2の半導体チップ2との接続のための複数の第1チップ間接続部10と、第1シリアルデコーダ6と、パッケージ3外に引き出される外部接続端子12との接続のための外部接続部13とを有し、また、低耐圧の第2の半導体チップ2は、第2シリアルデコーダ5と、前記第1の半導体チップ1との接続のための複数の第2チップ間接続部11とを備えている。

【0021】

さらに、前記複数の第1チップ間接続部10と前記複数の第2チップ間接続部間11とを直接接続するボンディングワイヤ9が設けられ、前記外部接続端子12より入力されるシリアルデータが、前記電圧変換回路4で減圧され、前記第1チップ間接続部10と前記第2チップ間接続部11とを介して前記第2シリアルデコーダ5に供給される構成になっている。

【0022】

図2は本発明の実施形態2のマルチチップ型半導体装置の構成を示すブロック図であり、第1の半導体チップ1は、電圧変換回路4と、前記第2の半導体チップ2と接続するための複数の第1チップ間接続部10と、第1内部回路14と、パッケージ3外に引き出される外部接続端子12と、該外部接続端子12を接続のための外部接続部13とを有し、第2の半導体チップ2は、第2内部回路15と、前記第1の半導体チップ1と接続するための複数の第2チップ間接続部11とを備えている。

【0023】

さらに、前記複数の第1チップ間接続部10と複数の第2チップ間接続部間11とを直接接続するボンディングワイヤ9が設けられ、前記外部接続端子12より入力される制御信号が、前記電圧変換回路4で減圧され、前記第1チップ間接続部10と前記第2チップ間接続部11とを介して前記第2内部回路15に供給される構成になっている。

【0024】

図3は本実施形態における電圧変換回路4の一例を示す回路図であり、電源電圧端子31と低耐圧用電源端子32とシリアルデータ入力端子33と出力端子34とGND端子35と参照電圧用端子36と定電流源37と抵抗38-1、38-2とPNP差動対トランジスタ(Tr)39と電流ミラー回路40-1~40-3とを備えている。

【0025】

また、前記電源電圧端子31は電源7に、低耐圧用電源端子32は低耐圧用チップの耐圧以下に設定された電源電圧に、シリアルデータ入力端子33はシリアルデータ用外部接続端子12に、出力端子4は第1チップ間接続部10に、それぞれ接続されている。

【0026】

前記シリアルデータ入力端子33には、電源7と同じ電圧の振幅が入力され、その電圧が参照電圧用端子36に印加される電圧より高いか低いかによって、PNP差動対Tr39のいずれか一方のTrがONあるいはOFFし、同時に電流ミラー回路40-1あるいは40-2のいずれか一方がON/OFFする。そして最終的に低耐圧用電源端子32に印加される電源電圧と同じ振幅値のシリアルデータ信号が得られることになる。

【0027】

前記構成により、低耐圧の第2の半導体チップ2に高電圧を直接印加することなく、シ

リアルデータの伝送、および制御信号の伝達を行うことができる。

【産業上の利用可能性】

【0028】

本発明は、複数の半導体チップを同一パッケージに収容したマルチチップ型半導体装置に適用され、特に外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成であって、シリアルデータを伝送することを可能にするマルチチップ型半導体装置に実施して有効である。

【図面の簡単な説明】

【0029】

【図1】 本発明の実施形態1のマルチチップ型半導体装置の構成を示すブロック図

【図2】 本発明の実施形態2のマルチチップ型半導体装置の構成を示すブロック図

【図3】 本実施形態における電圧変換回路の一例を示す回路図

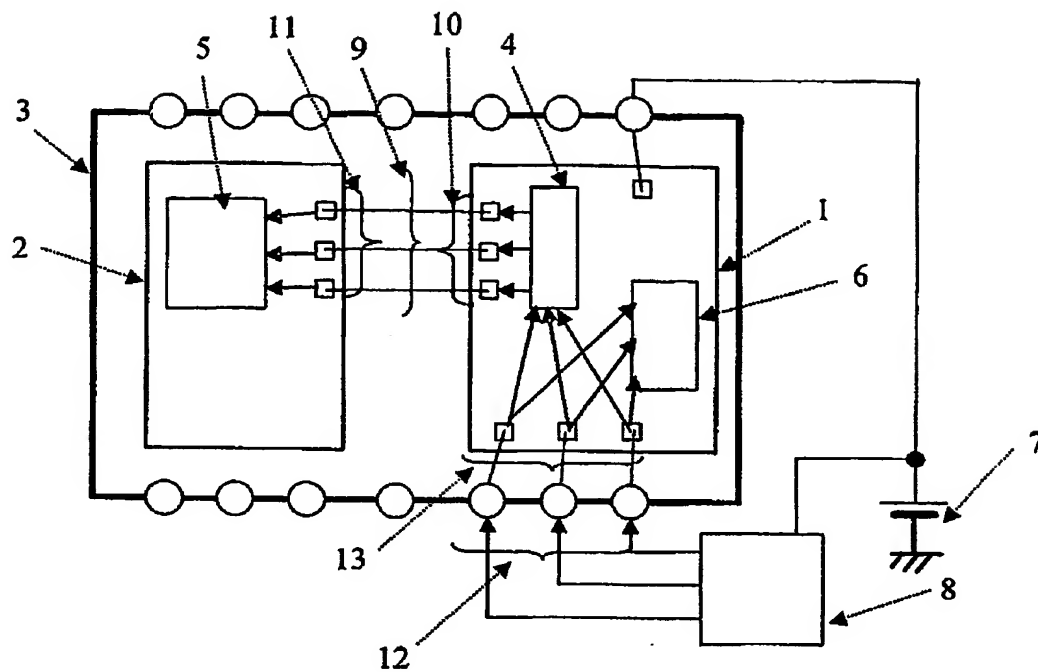
【図4】 従来のマルチチップ型半導体の構成を示すブロック図

【符号の説明】

【0030】

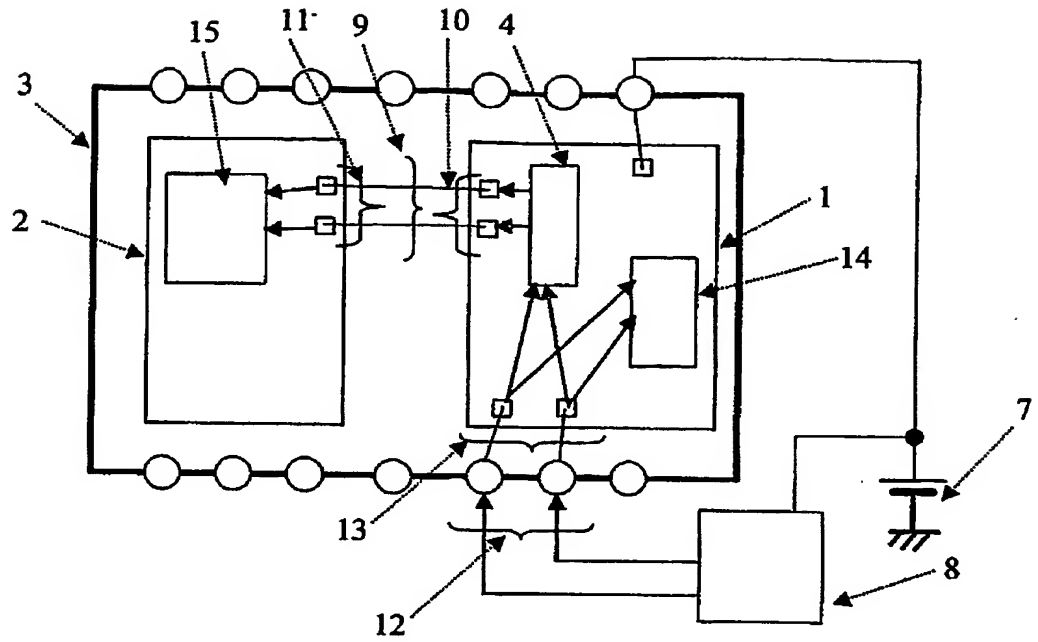
- 1 第1の半導体チップ
- 2 第2の半導体チップ
- 3 パッケージ
- 4 電圧変換回路
- 5 第2シリアルデコーダ
- 6 第1シリアルデコーダ
- 7 電源
- 8 マイコン
- 9 ボンディングワイヤ
- 10 複数の第1チップ間接続部
- 11 複数の第2チップ間接続部
- 12 外部接続端子
- 13 外部接続部
- 14 第1内部回路
- 15 第2内部回路
- 31 電源電圧端子
- 32 低耐圧用電源端子
- 33 シリアルデータ入力端子
- 34 出力端子
- 35 GND端子
- 36 参照電圧用端子
- 37 定電流源
- 38-1, 38-2 抵抗
- 39 PNP差動対Tr
- 40-1~40-3 ミラー回路

【書類名】図面
【図1】



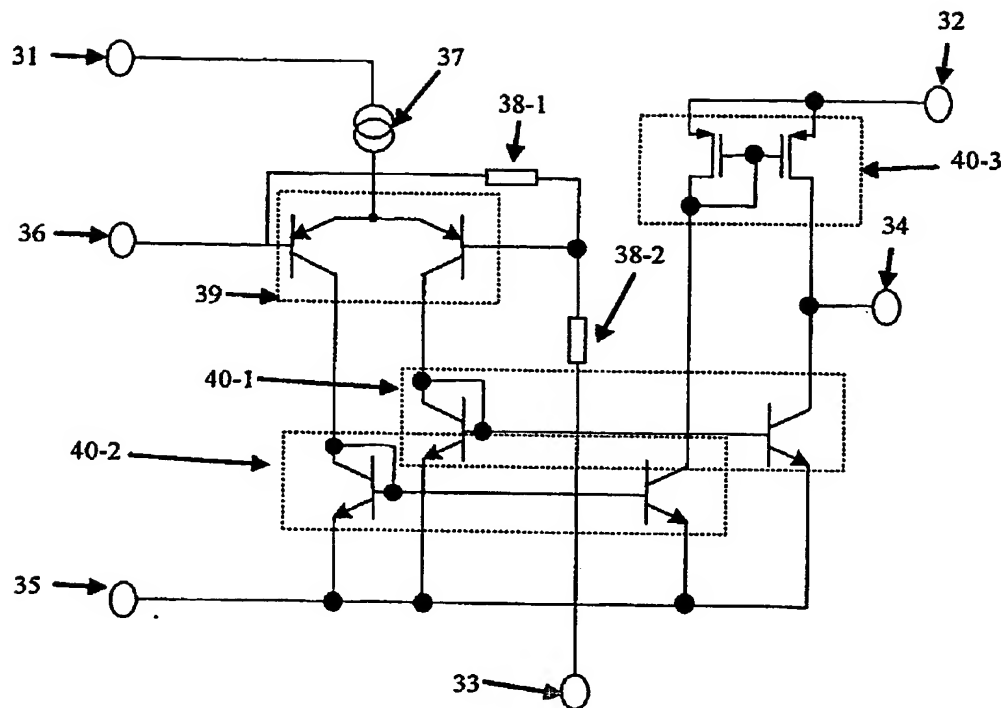
- | | |
|--------------|-----------------|
| 1 第1の半導体チップ | 7 電源 |
| 2 第2の半導体チップ | 8 マイコン |
| 3 パッケージ | 9 ボンディングワイヤ |
| 4 電圧変換回路 | 10 複数の第1チップ間接続部 |
| 5 第2シリアルデコーダ | 11 複数の第2チップ間接続部 |
| 6 第1シリアルデコーダ | 12 外部接続端子 |
| | 13 外部接続部 |

【図 2】



14 第1内部回路
15 第2内部回路

【図3】



31 電源電圧端子

32 低耐圧用電源端子

33 シリアルデータ入力端子

34 出力端子

35 GND端子

36 参照電圧用端子

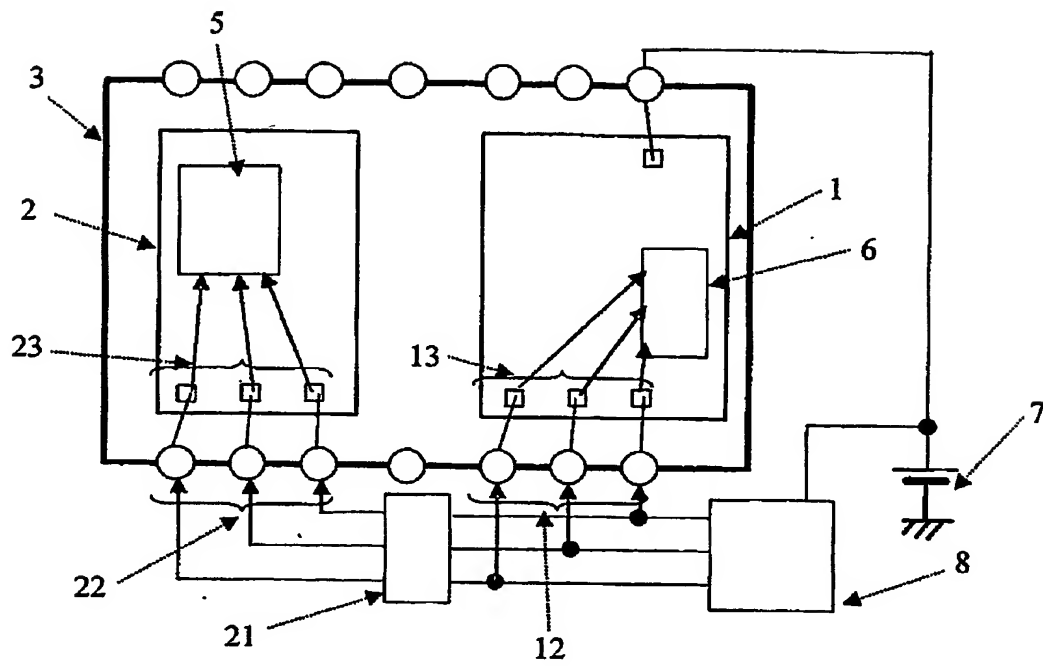
37 低電流源

38, 38-1, 38-2 抵抗

39 PNP差動対Tr

40, 40-1 ~ 40-3 ミラー回路

【図 4】



【書類名】要約書

【要約】

【課題】外部接続端子数を大幅に増加することなく、かつ外部の電圧変換回路が不要な構成にて、シリアルデータを伝送することができるマルチチップ型半導体装置を提供する。

【解決手段】高耐圧の第1の半導体チップ1と低耐圧の第2の半導体チップ2とをパッケージ3内で相互接続する。第1の半導体チップ1は、電圧変換回路4と、前記第2の半導体チップ2との接続のための複数の第1チップ間接続部10と、第1シリアルデコーダ6と、パッケージ3外に引き出される外部接続端子12との接続のための外部接続部13とを備え、また、低耐圧の第2の半導体チップ2は、第2シリアルデコーダ5と、前記第1の半導体チップ1との接続のための複数の第2チップ間接続部11とを備えている。前記複数の第1チップ間接続部10と前記複数の第2チップ間接続部11間とを直接接続するボンディングワイヤ9を設け、前記外部接続端子12より入力されるシリアルデータが、前記電圧変換回路4で減圧され、前記第1チップ間接続部10と前記第2チップ間接続部11とを介して前記第2シリアルデコーダ5に供給される構成にする。

【選択図】図1

特願 2003-397103

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社